

引用格式:周郭飞,杨宏. 基于 90 nm CMOS 工艺 2.8 GHz 电荷泵锁相环的设计[J]. 微电子学与计算机, 2020, 37(3): 55-59.
[ZHOU G F, YANG H. A 2.8 GHz charge-pump phase locked loop in 90 nm CMOS [J]. Microelectronics & Computer, 2020, 37(3): 55-59.]

基于 90 nm CMOS 工艺 2.8 GHz 电荷泵锁相环的设计

周郭飞, 杨 宏

(公安部第一研究所, 北京 100044)

摘 要: 为实现超宽带无线收发片上系统中低相位噪声、相互正交的两路本振信号, 并避免高集成度环境下发射机中大功率载波信号对锁相环的牵引, 本文采用 SMIC 90 nm 工艺设计了一款振荡频率二倍载波频率的电荷泵整数分频锁相环. 实现过程中, 本文提出了分别在鉴频鉴相器上开关控链路和下开关控制链路上插入传输门的方法, 减小死区的同时降低电流失配对环路的影响; 采用了低分频系数和高频率的参考信号方案改善了环路的相位噪声; 采用了电容阵列的方式来校正压控振荡器方案以减小工艺偏差以及寄生参数对调谐范围的影响. 本文完成锁相环版图设计后, 提取了各模块的参数并进行了后仿真. SPECTRE 仿真结果表明: 该锁相环的相位噪声为 -125 dBc/Hz@1MHz , 且通过差分二分频可获得两路相互正交的本振信号.

关键词: 锁相环; 压控振荡器; 鉴频鉴相器

中图分类号: TN761

文献标识码: A

文章编号: 1000-7180(2020)03-0055-05

A 2.8 GHz charge-pump phase locked loop in 90 nm CMOS

ZHOU Guo-fei, YANG Hong

(First Research Institute of The Ministry of Public Security, Beijing 100044, China)

Abstract: In the paper, a charge-pump phase clocked loop with low phase noise in 90nm CMOS, which is used to synthesis two quadrature local oscillator signals, is designed for a UWB transceiver SOC. In the implementation, this paper proposes a method of inserting a transmission gate on the switching link on the phase frequency detector to reduce the dead zone and the influence of the current mismatch. The low division factor and the high frequency reference signal improve the phase noise of the loop. A capacitor array is used to calibrate the voltage controlled oscillator to reduce process variations and the effects of parasitic parameters on the tuning range. After completing the phase-locked loop layout design, the parameters of each module are extracted and post-simulation is performed. The SPECTRE simulation results show that the phase noise of the phase-locked loop is -125dBc/Hz@1MHz , and quadrature signals are produced by the differential 2 divider.

Key words: phase locked loop; VCO; PFD

1 引言

基于锁相环频率合成技术相对其他频率综合技术, 如倍频法, 具有成本低、功耗小、易集成、频率高、相位噪声小等特点, 已被广泛地应用各种领域中. 本文实现的锁相环是一款超宽带无线收发专用芯片的一部分, 不仅为正交调制/解调器提供相互正交的本

振信号, 还要为模拟基带部分的数字模拟转换器 (ADC) 提供采样时钟, 也要为数字基带部分提供信号处理的主时钟, 因此本文实现的锁相环是整个数模混合专用芯片的核心模块之一. 本文涉及的无线专用芯片为一单载波系统, 综合考虑频综的实现难度和环路的整体性能, 本文选择了结构最简单、适合 CMOS 工艺的整数型电荷泵锁相环方案. 但由于该

专用芯片包括收发射频前端、模拟电路、数字模块和微处理器(MCU) IP 核,是一个结构复杂的片上系统(SOC),具有复杂的片内环境.因此,锁相环设计时不仅要考虑环路本身的性能,还要考虑复杂环境下环路集成的问题.

2 锁相环的整体结构

本文实现的电荷泵锁相环由鉴频鉴相器(PFD)、电荷泵(CP)、环路滤波器(LF)、压控振荡器(VCO)、晶体振荡器以及分频器等模块构成,如图 1 所示,其中环路滤波器和晶振在片外实现.超宽带无线收发专用芯片是一个单载波(1.4 GHz)的时分双工系统,因此环路采用固定系数的整数分频器.整个分频器根据工作频率以及输出信号形式的要求,依次采用了可输出正交信号的差分分频器、高速的 TSPC 分频器以及由标准器件构成的低速分频器.环路的参考时钟由一低相位噪声的 50 MHz 温补晶振提供.采用高的参考时钟一方面可以减小分频系数 N 从而降低带内噪声,另一方面将环路带宽设计的宽些,可以抑制 VCO 引起的带外噪声.

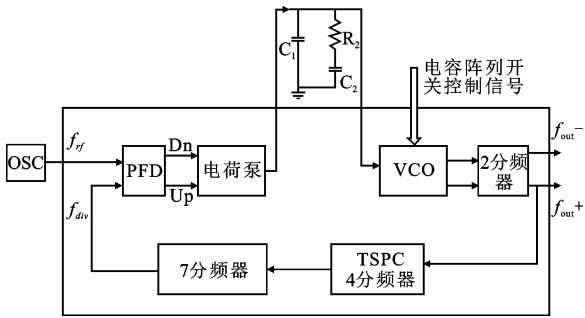


图 1 锁相环整体结构

锁相环本振为片上系统的一部分,需要和收发射频前端、模拟电路、数字模块和微处理器(MCU) IP 核共享衬底,与其他模块通过衬底和电源相互干扰.锁相环作为大信号模块具有较强的抗数字干扰信号能力,但系统中的射频发射链路中的功率放大器容易和锁相环中的 VCO 发生频率牵引现象,从而对锁相环的性能产生严重影响.为了避免频率牵引,本文将 VCO 的中心频率设计为 2.8 GHz,为载波频率的两倍.此外,高的 VCO 频率具备两个优势:(1)电感值小节约了芯片面积;(2)可以方便的产生两个相互正交的本振信号,避免使用复杂的电路实现正交信号.

3 锁相环各模块设计

3.1 压控振荡器 VCO

VCO 的电路结构为常用的互补交叉耦合对管结构,如图 2 所示. N 耦合对管和 P 耦合对管组成互补交叉耦合对管结构产生“负阻”,该“负阻”抵消了 LC 回路中由于寄生电阻引起的能量损耗,以维持回路振荡.相对只使用一组耦合对的结构,在同样的偏置电流的条件下,互补交叉耦合结构能提供更大的跨导,更容易起振也更节省功耗.由于 P 管在 N 阱中,相对 N 管具有更好的噪声特性,所以 VCO 选择 P 管作为尾电流管.尾电流管 PM3 以及其镜像电流管 PM4 共同提供 VCO 所需的直流偏置电流.为了降低 VCO 对于电源波动的敏感性,同时抑制输出信号中的谐波,尾电流管应该工作在饱和状态,即 VCO 处于电流受限状态^[1].为了在测试时可以改变偏置电流,采用一个可变电阻 R₁ 来改变电流管 PM4 栅源偏置电压,而电容 C₃ 用于滤除片外的耦合噪声.

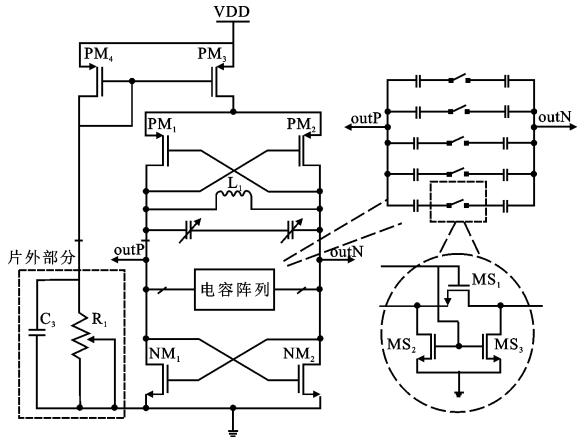


图 2 VCO 原理图

VCO 采用 CMOS 变容管进行调谐.为了减小工艺偏差以及寄生参数对调谐范围的影响,VCO 采用了一个电容阵列,如图 2 所示.该电容阵列通过 5 bit 数字信号进行控制.其中开关控制最小电容的值小于 CMOS 变容管的最大可调节电容值,这样通过开关控制以及调谐电压信号的控制,VCO 输出信号频率可以连续覆盖近 1 GHz 的范围.开关由 MS₁、MS₂ 和 MS₃ 组成的,这种结构能确保在开关打开时 MS₁ 的源极和漏极能接到地上. MS₁ 的尺寸应该设计的较大,因为当开关闭合时大尺寸的 MS₁ 引入的开关电阻就会相对小些.

对于 VCO 相位噪声影响因素很多,包括各交

叉对管、尾电流管以及回路的 Q 值等。而提高回路的 Q 值是改善相位噪声的最有效的方法。VCO 的 Q 值是由电容和电感共同决定的。在 CMOS 电路中由于电容的 Q 值比较高,能达到 30,所以 LC 回路的总 Q 值主要由电感的 Q 值决定。因此我们有两个途径来提高 LC 回路的 Q 值:一方面回路中的电容尽量设计大一些;另一方面提高电感的 Q 值。在版图设计时,同样电感值的电感匝数越小半径越大 Q 值越高。另外为保证设计的中心频率和流片后中心频率偏差小些,需要画完版图后对整个 VCO 电路进行提取寄生参数后仿真,再根据后仿的结果对电容和电感调整。

3.2 鉴频鉴相器和电荷泵

鉴频鉴相器 PFD 能比较出参考时钟和 VCO 通过分频后的信号之间的频率和相位差,并产生一个信号控制 VCO 的频率从而使得锁相环路能够锁定。一般设计中为了避免死区问题,在复位信号中插入反相器构成的延时链来补偿点电荷泵开关时间。但这种方法并没有考虑到电荷泵的实际延时,因此由延时链产生的复位信号可能提前或滞后。信号提前死区会仍然存在;信号滞后会增加电荷泵上下开关同时开启时间。由于电荷泵电流失配总是存在的,其同时开启时间越长由失配引起的杂散也就越大。

为了减小死区的同时降低电流失配对环路的影响,本文在文献[2]的基础上提出了一种低时间偏差的 PFD 的结构,如图 3 所示。该 PFD 中,电荷泵的上开关 S_1 是经过一个传输门延时和反向器延时,而下开关 S_2 是经过两个反向器延时,通过合理设计传输门的尺寸可以使得传输门的延时与反向器的延时相同,此时则 PFD 可实现同时关闭两个开关。该 PFD 的复位信号由上开关 S_1 的控制信号经一反向器与下开关 S_2 的控制信号经一传输门相与后产生。由于与门的上端信号和下端信号,均是 D 触发器输出经过了 1 各传输门和 2 个反向器,因此具有完全相同的延时,做到 PFD 复位信号不迟不早,从而减少了鉴相的死区时间的宽度。

对于电荷泵最重要的是保证充电和放电的电流大小要相等,即电荷泵电流匹配。电流失配会引起锁相环输出信号中存在杂散,而这个杂散对整个射频发射机来说会引起带外干扰。一般电荷泵电流输出节点的电路随外部电路变化而参考节点的电压是固定的,因此会引起电流失配。为此本文选择了文献[3]所提的低电流失配结构,如图 4 所示。这种结构通过增加一个运算放大器,使参考电压 REF 和输出

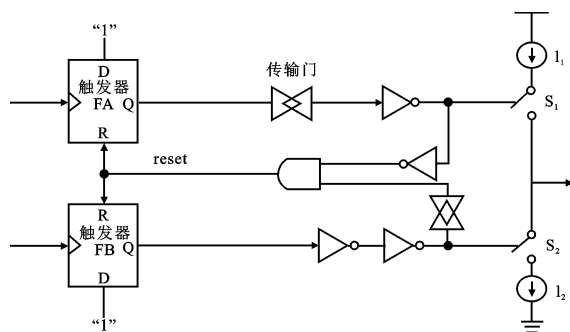


图 3 本文所提 PFD 的原理图

电压 CPOUT 保持一致。当对应管的尺寸保持一致的情况下,如果控制信号 UP 和 DOWN 同时为高,有 $I_1 = I_3 = I_2$;如果控制信号 UP 和 DOWN 同时为低,有 $I_1 = I_3 = I_2$,所以有 $I_1 = I_4$ 。这样的电路结构得到的电流失配非常小,从文献[3]仿真结果表明各种工作条件下,电流的失配都能保持在 0.5% 以下。

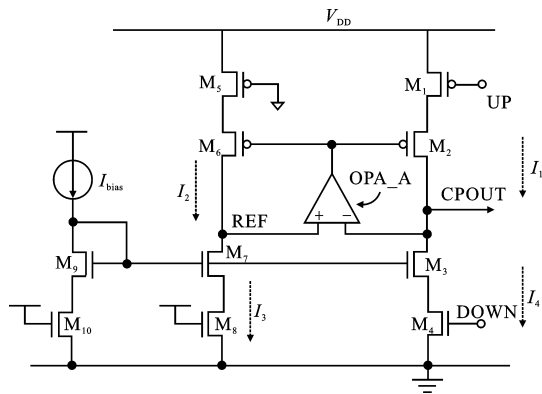


图 4 电荷泵原理图

3.3 分频器

本文有三种结构的分频器:差分 2 分频器、TSPC4 分频器以及由标准器件构成的 7 分频器,总的分频系数为 56。

由于 VCO 的输出频率为 2.8 GHz,是射频本振输出信号频率的两倍。通过差分的 2 分频器可以得到两个相互正交的本振信号。图 5 所示,差分 D 触发器以主从方式连接在一起构成的全差分 T 触发器,从而实现差分 2 分频的功能。D 触发器是一个源耦合逻辑电路 SCL,其工作频率能达到数 GHz。

经过 2 分频后输出信号频率为 1.4 GHz,标准器件所构成的分频器的工作速度不能满足要求。所以,本文采用了单相时钟 TSPC 结构的 D 触发器来构成一个 4 分频器将输出频率降为 350 MHz。TSPC 为目前为止最快的触发器[4],仿真结果表明在本文工艺条件下,最高工作频率可达 3.4 GHz。电

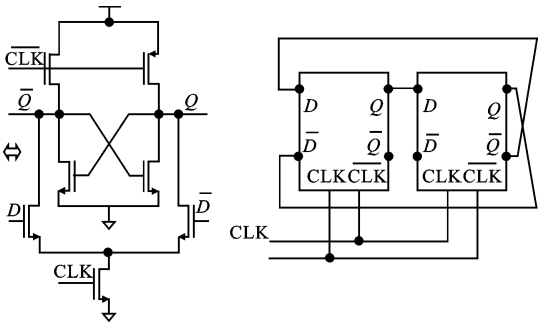


图 5 差分 D 触发器和二分频器

路结构如图 6 所示。

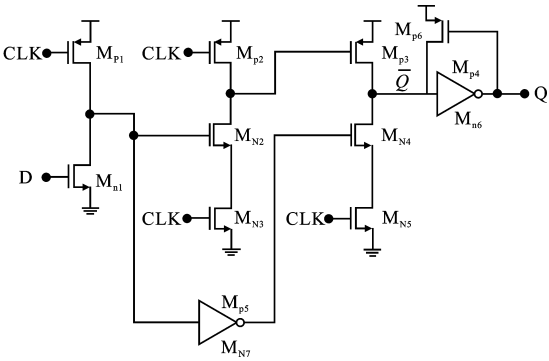


图 6 TSPC D 触发器

1.4 GHz 的信号 4 分频后得到 350 MHz 的信号,此时工艺库中标准的 D 触发器也能满足速度要求.因此 7 分频器是由工艺库中标准器件构成,其电路结构如图 7 所示。

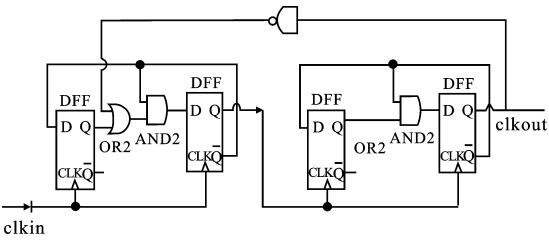


图 7 7 分频器

3.4 环路滤波

环路滤波的设计对锁相环是十分重要的,因为环路滤波器决定了环路的很多性能,如环路带宽、相位噪声、锁定时间以及稳定特性等等.环路滤波器设计主要围绕选择合适的拓扑结构、滤波器阶数、相位裕度以及环路带宽.为了能方便的改变环路滤波器的参数,本文在片外使用无源器件来实现二阶环路滤波器,并在片外实现,如图 1 所示。

相位裕度 Φ_m 关系到 PLL 本身的稳定性.当相位裕度小于 20 度时,PLL 环路就开始不稳定了,当相位裕度大于 80 度时,就会使环路滤波器的元件值

变得非常大,以至于无法实现.一般要求锁相环的相位裕度大于 40 度,而本文选择为 50 度。

环路带宽 ω_c 的选取决定了环路的瞬态特性和噪声特性.瞬态特性包括跟踪特性和捕获特性, ω_c 越大锁定时间越小,捕获带宽越大.本系统由于是一个单频系统主要考虑的还是噪声特性.锁相环的噪声分为两类:带内噪声和带外噪声.带内噪声是指除 VCO 以外的噪声,包括参考信号噪声、PFD 和 CP 的噪声等,此类噪声呈现低通特性,希望带宽越小越好;而带外噪声是 VCO 的噪声,此类噪声为高通特性,希望带宽越大越好.由于系统选择了高精度的参考时钟以及低的分频系数,在一定程度上抑制了带内噪声.因此带外噪声是环路滤波设计需要重点考虑的方面,为此环路带宽可以选择偏大些.环路滤波器各器件的设计,限于篇幅本文不再赘述.详细请参考文献[5],其中对环路滤波器的设计有非常系统的总结。

4 系统仿真结果

整个锁相环电路基于 SMIC 90 nm 工艺,其版图使用 Cadence 公司的版图工具 Virtuoso 工具手工绘制完成.使用 Calibre 进行 DRC 和 LVS 验证,并提取寄生参数对各模块分别进行后仿真验证.本文锁相环为本振电路,是射频前端电路的一部分,其布局如图 8 所示.对于整个环路无法整体提取寄生参数后仿真,因为这时电路的规模太大会因为内存溢出而无法仿真.所以本文在进行环路仿真时,VCO 使用参数提取后的电路,而对其他模块的电路不进行参数提取,以减小电路规模使仿真得以进行.图 9(a)为 VCO 输出的 2.8 GHz 的信号以及其通过差分 2 分频后输出的两路正交的 1.4 GHz 信号;(b)为 VCO 的控制电压信号.表 1 是锁相环主要参数的汇总。

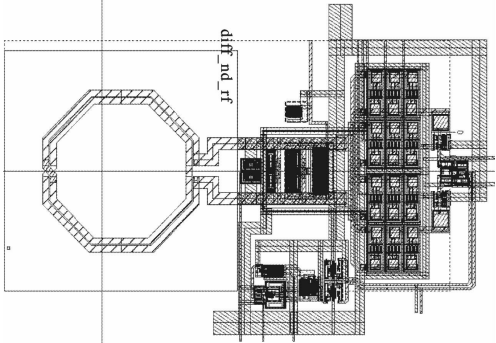


图 8 整个锁相环版图

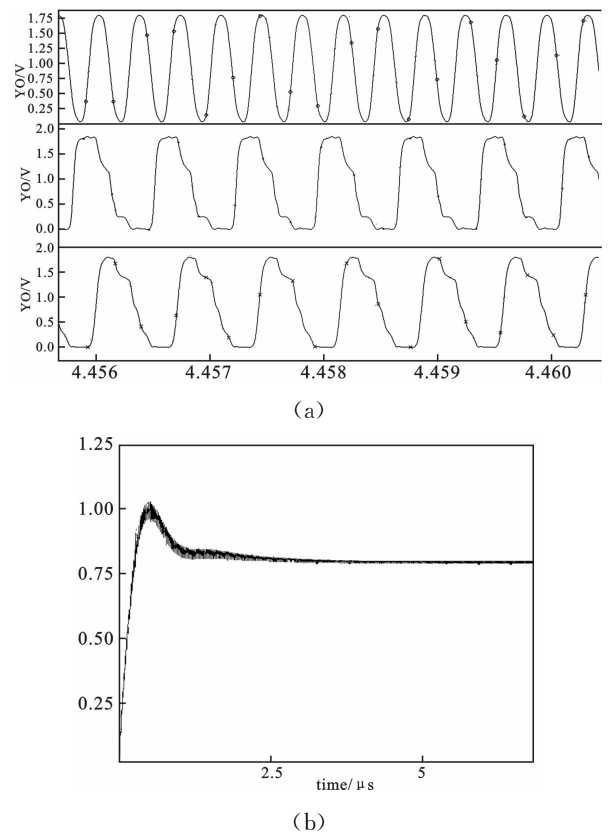


图 9 锁相环仿真仿真结果

表 1 是锁相环的主要参数的汇总

锁相环参数	数值
中心频率/GHz	2.8
参考频率/MHz	50
相位噪声	-125dBc/Hz@1MHz
锁定时间/μs	4
分频比	56
功耗/mW	18 mW
面积/mm ²	0.49 mm×0.33 mm

5 结束语

本文在 SMIC 90 nm 工艺下,完成了锁相环各单元电路的结构和参数设计以及版图设计. 最后还对版图设计后电路各模块进行了后仿真,由后仿真结果表明,本文所设计的锁相环的锁定时间为小于 4 微秒,相位噪声-125 dBc/Hz@1MHz,功耗小于 18 mW.

参考文献:

[1] ALI HAJIMIRI, THOMAS H LEE. Design Issues in CMOS Differential LC Oscillators[J]. IEEE Journal of solid-state circuits, 1999, 34(5):717-724.

[2] CHIEN H. Charge pump for phase-locked loop[P]. United States Patent. 331/16, 20050083136.

[3] LEE J S, KEEL M S, LIM S I, et al. Charge pump with perfect current matching characteristics in phase-locked loops[J]. IEE Electronics Letters, 2000, 36 (23):1907-1908.

[4] YANG C Y, DEHNG G K, HSU J M, et al. New dynamic flip-flops for high-speed dual-modulus Prescaler [J]. IEEE J. Solid-State Circuits. 1998, 33 (10): 1568-1571.

[5] 刘纂. 宽带 PLL 环路滤波器的设计[D]. 南京:东南大学, 2006:3-5.

作者简介:

周郭飞 男,(1976-),博士,副研究员. 研究方向为无线通信、集成电路、信号处理. E-mail:zhougf05@163. com.

杨 宏 女,(1977-),硕士,研究员. 研究方向为集成电路、信号处理.